

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 63-211417

(43)Date of publication of application : 02.09.1988

(51)Int.Cl.

G06F 1/04

(21)Application number : 62-045726

(71)Applicant : NEC CORP

(22)Date of filing : 27.02.1987

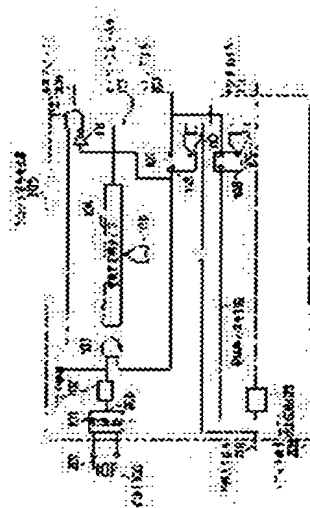
(72)Inventor : MATSUSHIMA OSAMU

## (54) MICROCOMPUTER

## (57)Abstract:

**PURPOSE:** To prevent a malfunction by inhibiting an operation of an oscillation stabilizing timer by a level of an external input during a period in which an oscillation is unstable, and starting the timer after the level of the external input has been inverted.

**CONSTITUTION:** In order that an oscillator 100 releases a stop mode which has stopped an oscillation, an external input signal 210 becomes a second logic level from a first logic level, and thereafter, until it becomes the first logic level again, an operation of an oscillation stabilizing timer 104 is inhibited. Subsequently, after a level of an external input has been inverted, the timer 104 is started. In such a way, an oscillation stable time as per a design value is obtained, and also, the bit length of the timer contained as a hardware can be curtailed, and a malfunction can be prevented.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

## ⑫ 公開特許公報(A)

昭63-211417

⑬ Int.Cl.<sup>4</sup>

識別記号

庁内整理番号

⑭ 公開 昭和63年(1988)9月2日

G 06 F 1/04

7157-5B

審査請求 未請求 発明の数 1 (全6頁)

⑮ 発明の名称 マイクロコンピュータ

⑯ 特 願 昭62-45726

⑰ 出 願 昭62(1987)2月27日

⑱ 発 明 者 松 嶋 修 東京都港区芝5丁目33番1号 日本電気株式会社内  
⑲ 出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号  
⑳ 代 理 人 弁理士 内 原 晋

## 明 細 書

## 1. 発明の名称

マイクロコンピュータ

## 2. 特許請求の範囲

基準クロックを発生するための発振器の出力をカウントする発振安定用タイマを内蔵し、該タイマがオーバーフローしたとき発振器の出力を基準クロックとしてマイクロコンピュータ内部へ供給し、発振が安定するまではマイクロコンピュータ内部へ基準クロックを供給しないようにして誤動作の防止を図ったマイクロコンピュータにおいて、

発振器が発振を停止しているストップモードを解除するために外部入力信号が第1の論理レベルから第2の論理レベルになった後、再び第1の論理レベルになるまでの間発振安定用タイマの動作を禁止する手段を有することを特徴とするマイクロコンピュータ。

## 3. 発明の詳細な説明

(産業上の利用分野)

本発明は、基準クロックを発生するための発振器の出力をカウントする発振安定用タイマを内蔵し、該タイマがオーバーフローしたとき発振器の出力を基準クロックとしてマイクロコンピュータ内部へ供給し、発振が安定するまではマイクロコンピュータ内部へ基準クロックを供給しないようにして誤動作の防止を図ったマイクロコンピュータに関する。

(従来の技術)

近年、集積回路製造技術の進歩に伴ない電子応用機器の小型化、低消費電力化が進められている。特にマイクロコンピュータでは相補型金属酸化膜半導体(以下、CMOSと称す)の使用が一般化してきている。一般にCMOS回路の消費電力は出力の変化時に負荷容量を充放電する電流が回路を流れるだけなので、クロック周波数を低下させれば装置全体の消費電力を大幅に低下させることができる。また、出力が定常状態で変化しない時には消費電力はほとんどなくすることができる。この利点を利用してマイクロコンピュータが

処理を行なう必要のない空き時間にはクロックの発振を停止させて低消費電力とすることがよく行なわれている(以下、このクロック発振停止状態をストップモードと称す)。このストップモードは通常、外部入力信号によって解除されるが、クロック発振用素子として水晶発振子等を使用する場合には、安定なクロックが得られるまで、外部入力により発振を開始してから数十ミリ秒の発振安定時間を要する。したがって、発振が安定するまで、マイクロコンピュータ内部へは基準クロックが供給されないようにして誤動作を防止する必要がある。

このため、従来、マイクロコンピュータ内部に発振安定用の専用タイマを備え、外部入力信号のエッジを検出し発振を開始した発振器出力を直接カウントして、タイマがオーバーフローしたことを検出した後に内部回路に基準クロックを供給していた。

(発明が解決しようとする問題点)

したがって、特に発振周波数の高いクロックが

段を有する。

(作用)

発振が非常に不安定な期間は外部入力のレベルにより発振安定用タイマの動作を禁止し、外部入力のレベルが反転してから前記タイマをスタートさせることにより、設計値通りの発振安定時間が得られるとともに、ハードウェアとして内蔵するタイマのビット長を大幅に削減できる。

(実施例)

次に、本発明の実施例について図面を参照して説明する。

第2図は本発明のマイクロコンピュータの一実施例の構成を示すブロック図である。

データ処理部201はROM、RAM、ALU等を含み、処理の手順、すなわちプログラムを記憶している。制御部202はデータ処理部201でプログラム化された命令を解説し、それに応じた制御信号を発生する。クロック信号発生部205は発振器とクロック供給回路とを含み、制御部202が出力するストップ信号203によって制御され、基準

使用されている高性能マイクロコンピュータでは前記タイマのビット数が膨大なものとなり、ハードウェア上大きな負担となっていた。また、タイマの回路構成を十分考慮したとしても発振開始直後のクロックは不安定であり回路の誤動作によりタイマが設計値よりかなり早くオーバーフローしてしまう可能性があった。また、ストップモード中に動作電圧を下げておくような応用では、発振開始直後では動作電圧を通常電圧まで立上げる遷移状態であり、クロックが非常に不安定なのでタイマが早くオーバーフローしてしまう可能性はさらに高いため、マージンを十分に取ったビット長の長いタイマを内蔵せざるを得ず、ハードウェア上の負担は非常に大きいものとなっていた。

(問題点を解決するための手段)

本発明のマイクロコンピュータは、発振器が発振を停止しているストップモードを解除するために外部入力信号が第1の論理レベルから第2の論理レベルになった後、再び第1の論理レベルになるまでの間発振安定用タイマの動作を禁止する手

クロック206 および割込要求信号211をデータ処理部201に供給する。基準クロック206を発生させるために、発振器に対して外部より水晶発振子が接続されている(第1図参照)。入力信号207は水晶発振子のクロック信号であり、出力信号208は発振器が出力するクロックである。外部入力信号210はクロック発振の再開を要求する信号であり、リセット信号209はマイクロコンピュータを初期化する信号である。

第1図はクロック信号発生部205のブロック図である。

このクロック信号発生部205は、発振子100と接続された発振器101と、発振器101の出力を1/2に分周する1/2分周器102と、発振安定用タイマ104と、外部入力信号210の立上りを検出するエッジ検出回路105と、エッジ検出回路105の検出信号211とリセット信号209を入力とするオアゲート109と、発振安定用タイマ104のオーバーフロー信号117とリセット信号209を入力とするオアゲート110と、ストップ信号203によ

てセットされ、オアゲート110の出力によりリセットされるRSF/F107と、ストップ信号203によってセットされ、オアゲート109の出力によってリセットされ発振停止信号116を出力するRSF/F108と、RSF/F107のQ出力118がハイレベルのときのみ1/2分周器102の出力を通過させて発振安定用タイマ104に出力するアンドゲート103と、RSF/F107のQ出力118がロウレベルのときのみ1/2分周器102の出力を基準クロック信号206として出力するインバータ111およびアンドゲート112と、外部入力信号210とリセット信号209を入力して発振安定用タイマ104をクリアするオアゲート106で構成されている。

次に、第1図の回路の動作について説明する。

マイクロコンピュータの通常の動作状態ではリセット信号209によりRSF/F107, 108はリセットされており、発振停止信号116はロウレベルなので発振器101は発振子100の周波数で発振している。発振器101の出力は1/2分周器102を

通りアンドゲート112の一方の入力へ入力される。このとき、RSF/F107はリセット状態なのでインバータ111の出力はハイレベルとなり発振器101出力の1/2の周波数の信号が基準クロック206としてデータ処理部201へ供給される。また、発振安定用タイマ104はアンドゲート103により1/2分周器102の出力が遮断されているので停止している。これにより無意味な電流消費を防いでいる。

次に、クロックを停止してストップモードとするには命令によりストップ信号203をハイレベルとする。すると、RSF/F108の出力、すなわち発振停止信号116がハイレベルとなり発振器101が停止する。このとき、RSF/F107の出力も同時にハイレベルとなるので基準クロック206はインバータ111によって遮断され、ロウレベルに固定される。このとき消費電流は最小となる。

ストップモードを解除するには外部入力信号210をロウレベルからハイレベルとする。エッジ

検出回路105はこの外部入力信号210の立上りを検出してRSF/F108をリセットするとともにデータ処理部201に対して割込要求信号211を発生する。RSF/F108がリセットされると、その出力である発振器停止信号116がロウレベルとなり発振器101は発振を開始する。このとき、RSF/F107のQ出力118がハイレベルであるので発振安定用タイマ104には発振器101の出力が1/2分周器102およびアンドゲート103を通りクロックとして入力される。ところが、発振安定用タイマ104は外部入力信号210がハイレベルの間はオアゲート106の出力によりクリアされ続けるのでオーバーフローすることはない。外部入力信号210がロウレベルとなると始めて発振安定用タイマ104はアンドゲート103の出力をカウントすることを開始する。そして所定のクロック数をカウントすると発振安定用タイマ104はオーバーフローし、オーバーフロー信号117によりRSF/F107がリセットされる。これにより、基準クロック206がデータ処理部201に供給され、デー

タ処理部201は動作を再開し、外部入力信号210による割り込み処理を行なう。

第3図は第1図に示したクロック信号発生部205の動作を示すタイミングチャートである。時刻 $t_1$ にクロック発振の再開を要求する外部入力信号210が立上ると、RSF/F108の出力116がロウレベルとなり発振器101は発振を開始する。そして時間 $T_1$ 経過した時刻 $t_2$ に外部入力信号210が立下ると、発振安定用タイマ104は1/2分周器102の出力のカウントを開始する。時間 $T_2$ 経過した時刻 $t_3$ に発振安定用タイマ104はオーバーフローし、データ処理部201へ基準クロック206が供給される。したがって、クロック発振の再開を要求する命令が出力されてからデータ処理部201へのクロック供給が開始されるまでの時間は、外部入力信号210がハイレベルである時間 $T_1$ と発振安定用タイマ104がオーバーフローするまでの時間 $T_2$ の合計 $T_1 + T_2$ となる。

第4図は本発明の他の実施例で、クロック信号発生部の回路図である。

本実施例は、第1図に示した実施例においては外部入力信号210として立上り信号でしかストップモードを解除できなかったのに対してプログラムにより外部入力信号210の有効エッジ入力を指定することができるようにしたもので、このために、第1図に示した回路のエッジ検出回路105の代りにエッジ指定回路400が設けられている。

このエッジ指定回路400は、外部入力信号の立上り、立下りをそれぞれ検出するエッジ検出回路405、420と、有効エッジを指定するためのフラグ421と、外部入力信号210とフラグ421の出力を入力とし出力がオアゲート106に入力されるエクスクルーシブノアゲート422と、フラグ421の出力を反転するインバータ426と、エッジ検出回路405の出力とフラグ421の出力を入力とするアンドゲート423と、エッジ検出回路420の出力とインバータ426の出力を入力とするアンドゲート424と、アンドゲート423、424の出力を入力とし、出力がオアゲート109およびデータ処理部201に割込要求信号として出力されるオアゲート

425で構成されている。

次に、本実施例の動作を説明する。

まず、フラグ421にハイレベルが書き込まれているとする。この場合、エッジ検出回路405の出力がアンドゲート423およびオアゲート425を通過してRSF/F108をリセットし、同時にデータ処理部201に対して割り込み処理を要求する割込要求信号211を出力する。このとき、エッジ検出回路420の出力はアンドゲート424に接続されているが、インバータ426の出力がロウレベルであるためアンドゲート424の出力がハイレベルとなることはなく、外部入力信号210の立上りのみが検出できる。さらに、外部入力信号210がハイレベルの間はエクスクルーシブノアゲート422の出力はハイレベルとなるので発振安定用タイマ104はオアゲート106の出力によりクリアされている。外部入力信号210がロウレベルとなると発振安定用タイマ104はカウント動作を開始、オーバーフローすると基準クロック206がデータ処理部201に供給される。

次に、フラグ421にロウレベルが書き込まれているとする。この場合、外部入力信号210がハイレベルからロウレベルに立下るとエッジ検出回路420はこれを検出し、その出力がアンドゲート424、オアゲート425を通過してRSF/F108をリセットし、同時にデータ処理部201に対して割り込み処理を要求する割込要求信号211を出力する。フラグ421がロウレベルのときは外部入力信号210がロウレベルの間、エクスクルーシブノアゲート422の出力がハイレベルとなるので発振安定用タイマ104はオアゲート106の出力によりクリアされている。外部入力信号210が再びハイレベルとなると発振安定用タイマ104はカウント動作を開始し、オーバーフローすると基準クロック206がデータ処理部201に供給される。

このように本実施例ではストップモードを解除するための外部入力信号210の有効エッジをプログラムで指定することができる。

(発明の効果)

以上説明したように本発明は、発振が非常に不

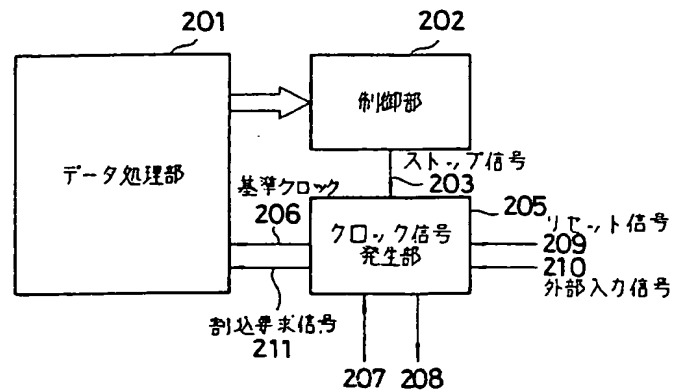
安定な期間は外部入力のレベルにより発振安定用タイマの動作を禁止し、外部入力のレベルが反転してから前記タイマをスタートすることにより、設計値通りの発振安定時間が得られるとともに、ハードウェアとして内蔵するタイマのビット長を大幅に削減することができるため、マイクロコンピュータのコストパフォーマンスを大幅に向上することができる効果がある。

#### 4.図面の簡単な説明

第1図は第2図のクロック信号発生部205の回路図、第2図は本発明のマイクロコンピュータの一実施例を示すブロック図、第3図は第1図に示したクロック信号発生部205の動作を示すタイミングチャート、第4図は本発明の他の実施例の回路図である。

- 100 … 発振子、
- 101 … 発振器、
- 102 … 1/2分周器、
- 103, 112, 423, 424 … アンドゲート、
- 104 … 発振安定用タイマ、

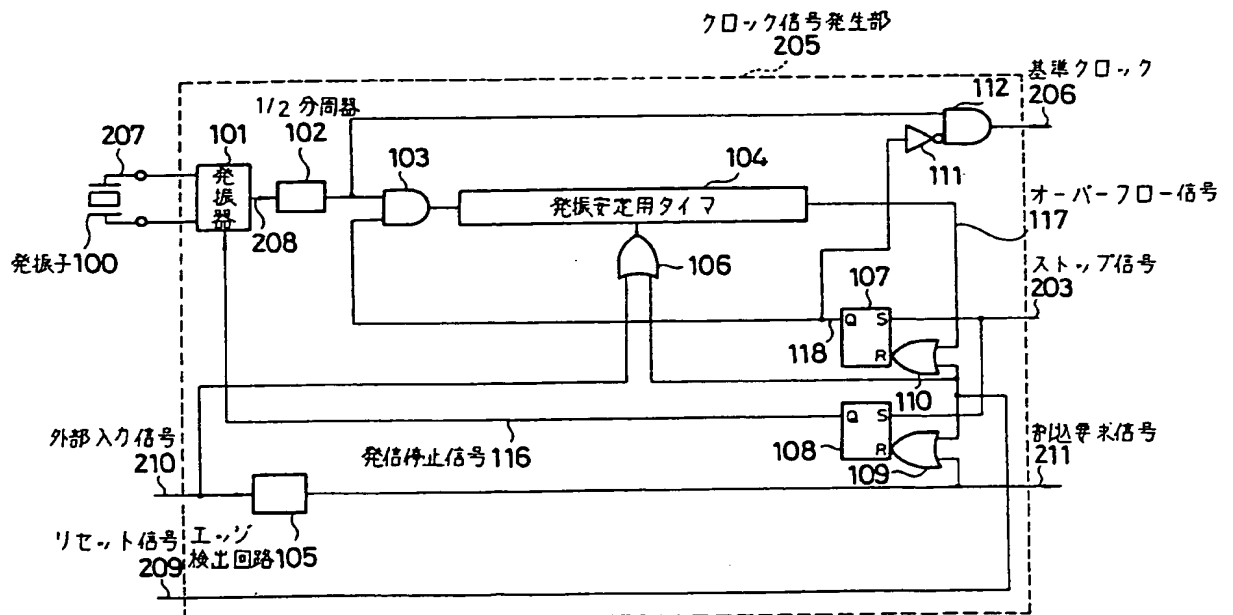
- 105、405、420 …エッジ検出回路、
- 106、109、110、425…オアゲート、
- 107、108…RSフリップ・フロップ、
- 201 …データ処理部、
- 202 …制御部、
- 203 …ストップ信号、
- 205 …クロック信号発生部、
- 206 …基準クロック、
- 207 …発振器100 の出力するクロック、
- 208 …発振器101 の出力するクロック、
- 209 …リセット信号、
- 210 …外部入力信号、
- 211 …割込要求信号、
- 400 …エッジ指定回路、
- 421 …フラグ、
- 422 …エクスクルーシブノアゲート、



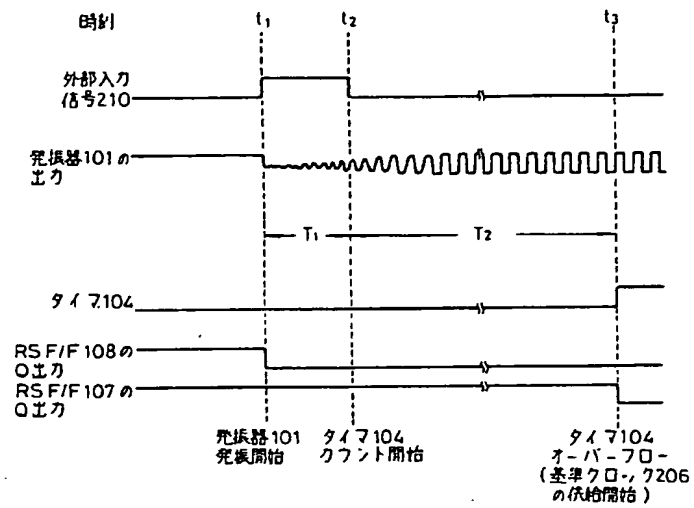
第 2 図

特許出願人 日本電気株式会社

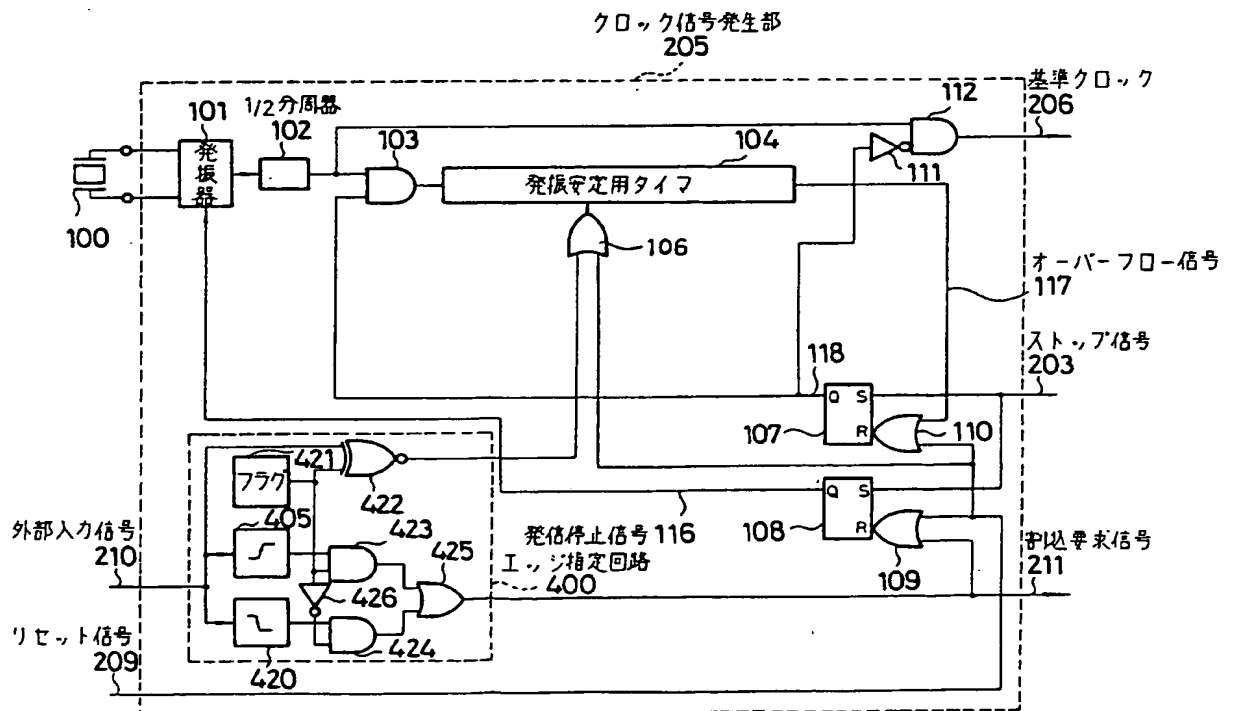
代理人 弁理士 内原 晋



第 1 図



第 3 図



第 4 図